



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06209081 A**(43) Date of publication of application: **26.07.94**

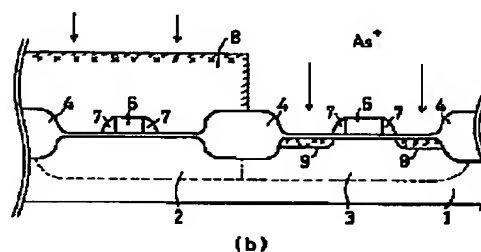
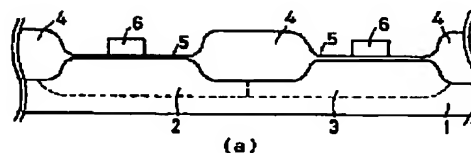
(51) Int. Cl. **H01L 27/092**
H01L 21/266
H01L 21/265
H01L 21/302

(21) Application number: **05003085**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **12.01.93**(72) Inventor: **TSUCHIAKI MASAKATSU****(54) MANUFACTURE OF SEMICONDUCTOR DEVICE****(57) Abstract:**

PURPOSE: To reduce the cost of a semiconductor device by constructing an LDD type CMOS structure through two lithographic processes and, at the same time, to reduce the story capacitance among a source, drain, and gate by removing the side wall of the gate in the final process.

CONSTITUTION: An n- and p-well areas 2 and 3 are formed on an Si substrate 1. A resist mask 8 is formed on the n-well by a lithographic method in order to form an n-MOS and an n⁺-source and drain diffusion layers 9 are formed by implanting As ions into the p-well so as to form a P⁺-LDD area. Then, a resist pattern is formed on the n-well by a photolithographic method in order to form a p-MOS and a p⁺-diffusion layer is formed by using carbon side walls 7 and the resist pattern on the p-well as a mask so as to form a p⁺-LDD area.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-209081

(43)公開日 平成6年(1994)7月26日

(51)Int.Cl.⁵

H 0 1 L 27/092

21/266

21/265

識別記号

庁内整理番号

F I

技術表示箇所

9170-4M

H 0 1 L 27/ 08

3 2 1 N

8617-4M

21/ 265

M

審査請求 未請求 請求項の数 1 O L (全 5 頁) 最終頁に続く

(21)出願番号

特願平5-3085

(22)出願日

平成5年(1993)1月12日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 土明 正勝

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

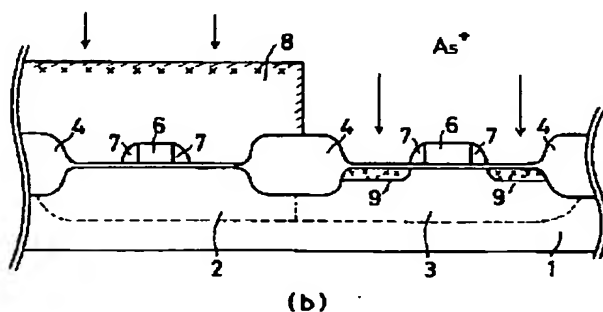
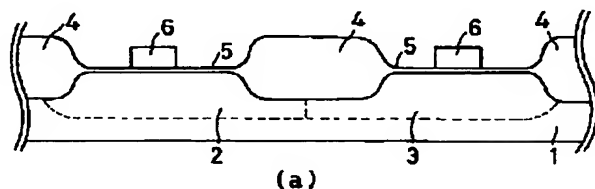
(74)代理人 弁理士 則近 憲佑

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 LDD型CMOS素子の製造工程を簡略化する。

【構成】 ゲート側壁材としてカーボンを用いることでレジスト層と共にO₂ プラズマによる異方性エッチングを行うことができる。よって、エッチング条件を適宜定めることにより、レジスト層を残置したままゲート側壁材を除去することができ、LDD型CMOS素子の片方の素子領域をレジスト層でマスクしたまま、他方の素子領域のソース、ドレイン拡散層及びLDD領域を形成することができ、従来の製造工程に比べ、工程数が少なくなる。



ボン側壁と、レジストマスクの表面部を除去することができる。すなわち、レジストマスクとカーボン側壁をマスクとし、一導電型のソース、ドレイン拡散層を形成し、その後、酸素プラズマによる処理を追加し、レジストマスクを残存させたまま、ゲート側壁だけを除去することができる。このとき、この処理で基板や、素子分離用 SiO_2 にダメージが入ることはないので十分なプロセスマージンをもってこの工程を行うことができる。さらに、ソース、ドレイン拡散層形成のための高ドーズのイオン注入によって変質したレジスト表面もこの処理で剥離される。素子の微細化に伴いイオン注入のエネルギーは低下し、レジスト表面の変質部も薄くなってくるので、この変質部分は酸素プラズマ処理で容易に除去することができる。

【0009】残存したレジストマスクは、硫酸と過酸化水素水のような混合液で選択的に剥離可能である。この後の工程でも、このレジストマスクを利用し、低ドーズのLDD領域形成用のイオン注入を行い一導電型のLDD-MOS素子を1つのリソグラフィ工程で達成することができる。

【0010】尚、LDD用のイオン注入は、低ドーズ、低エネルギーで行うので、これによりレジストマスクは変質しない。よって、上記のような混合液で処理することでレジストマスクを選択的に剥離できる。カーボン側壁はこの混合液には耐性をもっているのでレジスト下のカーボン側壁も残存する。

【0011】また若干の変質がレジストにみとめられる場合、ダウフローアッシャー等の処理で、カーボン側壁を残存させたままレジストのみを剥離することも可能である。この一連の工程を用いて、同様に逆導電型のLDD-MOS素子を達成することも可能である。

【0012】よって本発明によれば計2回のリソグラフィ工程でLDD型-CMOS構造が達成でき、従来の工程より2回のリソグラフィ工程を削減できる。又追加される工程は、酸素プラズマ処理だけであり、これは従来技術のアッシャー工程に対応しているわけで、全工程数も確実に4工程以上短縮できる。又、酸素RIEをもちいているため、素子の性能を劣化させるようなダメージの発生も抑制できる。

【0013】

【実施例】以下、本発明の一実施例を図面を参照しつつ詳細に説明する。まず Si 基板1上に $n\text{-well}$ 領域2及び $p\text{-well}$ 領域3を形成した後、LOCOS法により素子分離用フィールド酸化膜4を形成する。この後、素子形成部に基板の不純物濃度を調整し、しきい値を制御するためのイオン注入を行い、ゲート絶縁膜5を形成する。

【0014】この後、ゲート電極となるべきポリシリコン6を例えば2000オングストロームの厚さに堆積する。このときポリシリコンに導電性の不純物が同時に混

入されていても、又、その後の工程で導入されてもかまわない。次いで、ポリシリコン6に異方性エッチングを施し、ゲート電極6を形成する(図1(a))。

【0015】次に、基板全面に炭素7を例えばスパッタ法により1000オングストロームの厚さに堆積したのち、この基板を酸素プラズマ中で、例えば流量100SCCM、圧力5.3Pa、高周波電力0.8W/cm²の条件で処理しゲート側壁7を形成する。

【0016】次いで $n\text{-MOS}$ を形成するために $n\text{-well}$ 上にレジストマスク8をフォトリソグラフィ法により形成し、このレジスト8と、カーボン側壁7をマスクとして $p\text{-well}$ 中にAsを例えば $5 \times 10^{15} \text{ cm}^{-2}$ 、50keVの条件でイオン注入し、 n^+ ソース、ドレイン拡散層9を形成する(図1(b))。

【0017】次に、一部変質した $p\text{-well}$ 上のレジスト8表面部と、 $n\text{-well}$ 上のカーボンゲート側壁とを、上記酸素プラズマ中で例えば1分処理することで同時に除去する。次に例えばPを $7 \times 10^{13} \text{ cm}^{-2}$ 、40keVの条件でイオン注入し、 n^- -LDD領域10を形成する(図2(a))。

【0018】この後、レジストマスク8を例えば、硫酸と過酸化水素水の混合液で選択剥離する。このとき、レジストが剥離できなければ、ダウフローアッシャーのような手法を用いて、レジスト下のカーボン側壁を残存させつつレジストのみを剥離してもよい。

【0019】次に、 $p\text{-MOS}$ を形成するために、 $n\text{-well}$ 上にレジストパターン8'をフォトリソグラフィ法により形成し、 $p\text{-well}$ 上のカーボン側壁7と、レジストパターン8'をマスクとして、例えば、 BF_2 を $3 \times 10^{15} \text{ cm}^{-2}$ 、35keVの条件でイオン注入し、 p^+ 拡散層11を形成する(図2(b))。

【0020】次にこの基板を酸素プラズマ中で処理することで、一部変質した $n\text{-well}$ 上のレジスト8'表面部と、残存した $p\text{-well}$ 上のカーボン側壁7とを除去する。次に例えば BF_2 を $5 \times 10^{13} \text{ cm}^{-2}$ 、35keVの条件でイオン注入し、 p^- -LDD領域12を形成する(図3(a))。

【0021】この後、レジストパターン8'を剥離し、例えば1000℃、20秒の条件で熱処理を行い、ソース、ドレイン拡散層9、11及びLDD領域10、12を活性化させる(図3(a))。

【0022】以上説明したように、本発明によれば2回のリソグラフィ工程で、LDD型のCMOS構造を形成することができる。この後、通常の配線工程を利用してA1電極13及び層間膜14等を形成する(図3(b))。

【0023】

【発明の効果】ゲート側壁材としてカーボンを用い、これを酸素プラズマで加工することにより基板、及びフィールド酸化膜にダメージを与えず側壁が形成できる。

【特許請求の範囲】

【請求項1】 半導体基板上に素子分離領域を形成する工程と、この素子分離領域により分離された隣接する第1の素子領域及び第2の素子領域に、それぞれ第1導電型、第2導電型のウェルを形成する工程と、前記第1及び第2の素子領域上にゲート絶縁膜及びゲート電極を形成する工程と、このゲート電極の側壁にカーボンからなるゲート側壁を形成する工程と、前記第1の素子領域上に第1のレジスト層を形成する工程と、この第1のレジスト層及び前記素子分離領域及び第2の素子領域上のゲート電極、ゲート側壁をマスクに前記第2の素子領域上に第1導電型のイオンを注入し、ソース、ドレイン拡散層を形成する工程と、前記第1のレジスト層の少なくとも表面及び前記第2の素子領域上のゲート側壁を O_2 プラズマによる異方性エッチングにより除去する工程と、前記第2の素子領域上に第1導電型のイオンを注入しLDD領域を形成する工程と、前記第1のレジスト層を除去する工程と、第2の素子領域上に第2のレジスト層を形成する工程と、この第2のレジスト層及び前記素子分離領域及び第1の素子領域上のゲート電極、ゲート側壁をマスクに第2導電型のイオンを注入し、ソース、ドレイン拡散層を形成する工程と、前記第2のレジスト層の少なくとも表面及び前記第1の素子領域上のゲート側壁を O_2 プラズマによる異方性エッチングにより除去する工程と、前記第1の素子領域上に第2導電型のイオンを注入しLDD領域を形成する工程と前記第2のレジスト層を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置及びその製造方法に関し、特にLDD型CMOS素子の製造方法に係る。

【0002】

【従来の技術】 従来、LDD型のCMOS素子を実現するためには、 n^+ / p^+ のソース、ドレイン拡散層を形成するためのイオン注入を打ち合わせるために2回、さらに n^- / p^- のLDD（ライトリードドープドレイン）領域を拡散層とチャンネル層の間に形成するために2回、計4回のリソグラフィによる工程が必要であった。

【0003】

【発明が解決しようとする課題】 従来、LDD型CMOSを形成するには、ゲート側壁をマスクとして利用しつつ、計4回のリソグラフィを必要としており、工程が複雑であるという問題があった。

【0004】 さらにゲート側壁に誘電率の高い物質を用いるとソース、ドレインとゲート間の寄生容量が拡大し、高速動作には不利になる。又、側壁形成時の異方性エッチングなどにより基板にダメージが入ると拡散層のリークを生じさせることになり問題となっていた。

【0005】 本発明は、上記課題に鑑みてなされたものであり、その目的とするところは計2回のリソグラフィ工程によりLDD型のCMOS構造を実現し、コストを削減すると同時に、ゲート側壁そのものを最終的に除去してしまうことでソース、ドレイン、ゲート間の寄生容量を低下させ、さらに酸素RIEで側壁を形成することで側壁形成時の基板及び素子分離領域へのダメージを抑制することである。

【0006】

10 【課題を解決するための手段】 本発明は半導体基板上に素子分離領域を形成する工程と、この素子分離領域により分離された隣接する第1の素子領域及び第2の素子領域に、それぞれ第1導電型、第2導電型のウェルを形成する工程と、前記第1及び第2の素子領域上にゲート絶縁膜及びゲート電極を形成する工程と、このゲート電極の側壁にカーボンからなるゲート側壁を形成する工程と、前記第1の素子領域上に第1のレジスト層を形成する工程と、この第1のレジスト層及び前記素子分離領域及び第2の素子領域上のゲート電極、ゲート側壁をマスクに前記第2の素子領域上に第1導電型のイオンを注入し、ソース、ドレイン拡散層を形成する工程と、前記第1のレジスト層の少なくとも表面及び前記第2の素子領域上のゲート側壁を O_2 プラズマによる異方性エッチングにより除去する工程と、前記第2の素子領域上に第1導電型のイオンを注入しLDD領域を形成する工程と、前記第1のレジスト層を除去する工程と、第2の素子領域上に第2のレジスト層を形成する工程と、この第2のレジスト層及び前記素子分離領域及び第1の素子領域上のゲート電極、ゲート側壁をマスクに第2導電型のイオンを注入し、ソース、ドレイン拡散層を形成する工程と、前記第2のレジスト層の少なくとも表面及び前記第1の素子領域上のゲート側壁を O_2 プラズマによる異方性エッチングにより除去する工程と、前記第1の素子領域上に第2導電型のイオンを注入しLDD領域を形成する工程と前記第2のレジスト層を除去する工程とを含む半導体装置の製造方法を提供することを特徴とする。

【0007】

40 【作用】 本発明によればゲート側壁材としてカーボンを用いることで、側壁の加工には酸素プラズマによる異方性エッチングを利用できる。このため基板Si及び素子分離用の SiO_2 は、このエッチングによってほとんど除去されることなく、又ダメージも入らず、フィールドエッジ後退による接合リークも生じない。

50 【0008】 本発明ではカーボンによるゲート側壁を形成した後、所定領域にリソグラフィ法によりレジストマスクを形成し、酸素プラズマによる異方性エッチングを行う。レジストマスクのエッチングレートはカーボンよりはおよそ3倍は遅く、レジストマスクはほぼ1~2 μm の厚さで形成されているので、カーボン側壁形成後、さらに酸素プラズマによる処理を追加すれば、カー

5

6

【0024】また、n/p打ちわけのためのレジストマスクとカーボン側壁を同時に酸素プラズマにさらすことにより、基板、フィールド酸化膜を削ることなく、かつレジストを残存させたまま、カーボン側壁のみを除去することができ、1回のリソグラフィーで拡散層とLDD領域を形成できる。このため素子の劣化を誘起するようなダメージを抑制しつつ、工程及びコストを削減することが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施例を示す工程別素子断面図。

【図2】 本発明の実施例を示す工程別素子断面図。

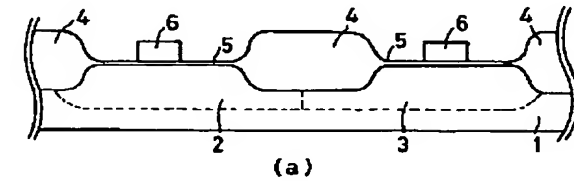
【図3】 本発明の実施例を示す工程別素子断面図。

【符号の説明】

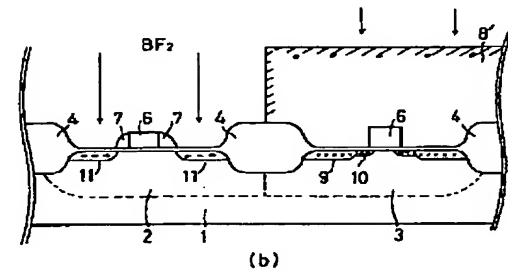
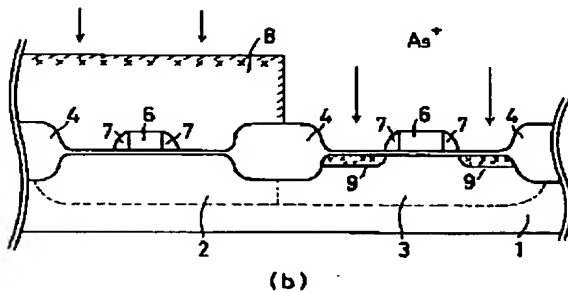
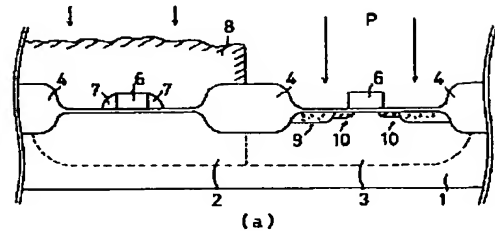
1 シリコン基板

- 2 n-well領域
3 p-well領域
4 フィールド酸化膜
5 ゲート絶縁膜
6 ポリシリコンゲート
7 カーボン（炭素）側壁
8, 8' レジスト
9 n⁺ 拡散層
10 n⁻ LDD領域
11 p⁺ 拡散層
12 p⁻ LDD領域
13 Al電極
14 層間絶縁膜

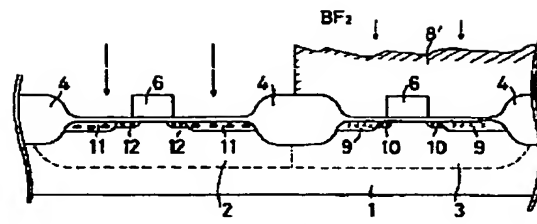
【図1】



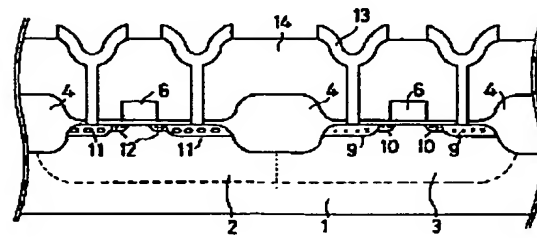
【図2】



【図3】



(a)



(b)

フロントページの続き

(51) Int. Cl.⁵

H 0 1 L 21/302

識別記号

庁内整理番号

F I

技術表示箇所

J

9277-4M

H 0 1 L 21/265

L

8617-4M

27/08

3 2 1 E

9170-4M